



(12) 发明专利

(10) 授权公告号 CN 110299912 B

(45) 授权公告日 2023. 03. 07

(21) 申请号 201810233422.1

(22) 申请日 2018.03.21

(65) 同一申请的已公布的文献号

申请公布号 CN 110299912 A

(43) 申请公布日 2019.10.01

(73) 专利权人 福州瑞芯微电子股份有限公司

地址 350003 福建省福州市鼓楼区软件大道89号18号楼

(72) 发明人 郑发耀

(74) 专利代理机构 上海光华专利事务所(普通合伙) 31219

专利代理师 庞红芳

(51) Int. Cl.

H03L 7/099 (2006.01)

(56) 对比文件

CN 105680852 A, 2016.06.15

CN 104038217 A, 2014.09.10

CN 103078635 A, 2013.05.01

JP 2001016100 A, 2001.01.19

TW 457769 B, 2001.10.01

张嘉梁等. 基于数字锁相环的晶振频率同步模块设计.《电子技术应用》.2011, (第10期), 全文.

审查员 莫院

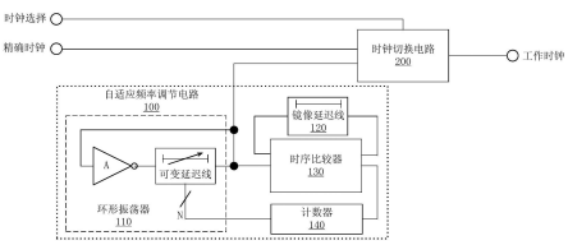
权利要求书2页 说明书6页 附图3页

(54) 发明名称

自适应频率调节方法、电路以及电路系统

(57) 摘要

本发明提供一种自适应频率调节方法、电路以及电路系统,所述自适应频率调节电路包括:环形振荡器,输出可变频率,所述环形振荡器包括:可变延迟线和两端分别与可变延迟线的输出端和输入端相连的反相器;镜像延迟线,镜像所述电路系统中同一电源域的延迟性最差的线路;时序比较器,分别与环形振荡器和所述镜像延迟线相连,用于比较所述环形振荡器的输出时序和所述镜像延迟线的输出时序是否相同,并将比较结果反馈至环形振荡器,以供所述环形振荡器调节频率,直至所述环形振荡器的输出时序和所述镜像延迟线的输出时序相同。本发明可以实现工作频率、工艺、电压、温度的自适应,通过本发明的技术方案,芯片的一致性、稳定性、性能均可得到提升。



1. 一种自适应频率调节电路, 应用于一电路系统中, 其特征在于, 所述自适应频率调节电路包括:

环形振荡器, 输出可变频率;

镜像延迟线, 镜像所述电路系统中同一电源域的延迟性最差的线路;

时序比较器, 分别与所述环形振荡器和所述镜像延迟线相连, 用于比较所述环形振荡器的输出时序和所述镜像延迟线的输出时序是否相同, 并将比较结果反馈至所述环形振荡器, 以供所述环形振荡器调节频率, 直至所述环形振荡器的输出时序和所述镜像延迟线的输出时序相同;

在所述环形振荡器的输出时序和所述镜像延迟线的输出时序相同时, 将所述环形振荡器产生的时钟作为所述电路系统的工作时钟。

2. 根据权利要求1所述的自适应频率调节电路, 其特征在于, 所述环形振荡器包括: 可变延迟线和两端分别与所述可变延迟线的输出端和输入端相连的反相器。

3. 根据权利要求2所述的自适应频率调节电路, 其特征在于, 所述可变延迟线包括延迟线和调节所述延迟线长度的开关。

4. 根据权利要求2或3所述的自适应频率调节电路, 其特征在于, 所述环形振荡器和所述时序比较器之间连接有一计数器, 用于在所述环形振荡器的输出时序和所述镜像延迟线的输出时序不相同同时对所述时序比较器的输出脉冲进行计数; 所述环形振荡器根据所述计数器的计数结果改变所述可变延迟线的长度。

5. 一种自适应频率调节方法, 其特征在于, 包括: 所述自适应频率调节方法包括:

通过一环形振荡器输出可变频率;

通过一镜像延迟线镜像电路系统中同一电源域的延迟性最差的线路;

通过一时序比较器比较所述环形振荡器的输出时序和所述镜像延迟线的输出时序是否相同, 并将比较结果反馈至所述环形振荡器, 以供所述环形振荡器调节频率, 直至所述环形振荡器的输出时序和所述镜像延迟线的输出时序相同;

在所述环形振荡器的输出时序和所述镜像延迟线的输出时序相同时, 将所述环形振荡器产生的时钟作为所述电路系统的工作时钟。

6. 根据权利要求5所述的自适应频率调节方法, 其特征在于, 所述环形振荡器包括: 可变延迟线和两端分别与所述可变延迟线的输出端和输入端相连的反相器。

7. 根据权利要求6所述的自适应频率调节方法, 其特征在于, 所述可变延迟线包括延迟线和调节所述延迟线长度的开关。

8. 根据权利要求6或7所述的自适应频率调节方法, 其特征在于, 所述环形振荡器和所述时序比较器之间连接有一计数器, 用于在所述环形振荡器的输出时序和所述镜像延迟线的输出时序不相同同时对所述时序比较器的输出脉冲进行计数; 所述环形振荡器根据所述计数器的计数结果改变所述可变延迟线的长度。

9. 一种电路系统, 其特征在于, 包括如权利要求1至权利要求4任一项权利要求所述的自适应频率调节电路。

10. 根据权利要求9所述的电路系统, 其特征在于, 所述电路系统包括ASIC或SOC。

11. 根据权利要求9所述的电路系统, 其特征在于, 所述电路系统的初始时钟采用由晶振产生并经由锁相环输出的时钟。

12. 根据权利要求9或11所述的电路系统,其特征在于,所述电路系统包括时钟切换电路,用于在所述环形振荡器的输出时序和所述镜像延迟线的输出时序相同时,将所述环形振荡器产生的时钟作为所述电路系统的工作时钟。

## 自适应频率调节方法、电路以及电路系统

### 技术领域

[0001] 本发明电路技术领域，特别是涉时钟电路技术领域，具体为一种自适应频率调节方法、电路以及电路系统。

### 背景技术

[0002] 随着集成电路性能与工艺的提升，电路功耗、工艺浮动等问题，对芯片良率、性能一致性以及产品稳定性的影响越来越大。

[0003] 芯片工艺方面的因素，芯片个体之间存在差异，相同工作电压不同芯片能稳定工作的频率会有差别。基于实测的“频率-电压”表，需要覆盖芯片之间的个体差异。在对大量芯片做“频率-电压”稳定性测试时，对每个工作频点对应的工作电压做长时间的稳定性测试。

[0004] 在相同工作频率下，性能差的芯片需要较高的工作电压，而性能好的芯片需要的工作电压就会相对较低，所以在这种方式下测试得到的“频率-电压”在兼顾性能差的芯片时对于性能比较好的芯片是偏高的，由此导致性能好的芯片按“频率-电压”表设置电压时导致性能好的芯片工作电压高于实际性能需求，功耗也会相应偏高。

[0005] 电源芯片的输出电压存在误差，所以实际使用中，需要考虑电源芯片输出的电压误差，按相应比例提高“频率-电压”表中的电压值。为了能覆盖到负偏差的电源芯片，对于正偏差的电源芯片就会偏高，功耗也会相应偏高。

[0006] 电源芯片的瞬态响应性能很难满足高性能芯片的需求，当芯片负荷突然增大时电源芯片无法响应，通常会有几微秒到十几微秒的时间需要由电源上的滤波电容提供能量，此时电源电压会下降，而此时正是芯片需要稳定供电的时候，所以“频率-电压”表也会按电源未响应的时间内的电压最低点考虑，于是不得不进一步提高表格中的电压值，这就导致功耗的进一步增加。

[0007] AVS受限于电源模块的响应速度，目前绝大部分电源响应的速度都在us级别，这对于工作在GHz频率的ASIC/SOC，若干的逻辑操作只需要几个ns，而us级别的响应速度显然太慢，在电源模块未响应期间电压可能已经跌落到导致电路工作不稳定，从而出现死机等问题。

[0008] DVS方式所需要的频率-电压表的测定需要大量的人力投入大量的测试工作，而且性能功耗的控制难以最优化。AVS方式在工艺、温度方面可以做到自适应，但对电压控制的速度上难以满足日益提高的性能需求。

[0009] 综上，现有技术均是基于性能需求确定出工作频率，电源、工艺、温度都在围绕确定的频率展开，而电源、工艺、温度方面的因素都是客观存在，给芯片品控和应用都带来诸多制约，这是现有技术方案的最大缺点。

### 发明内容

[0010] 鉴于以上所述现有技术的缺点，本发明的目的在于提供一种自适应频率调节方

法、电路以及电路系统,用于解决现有技术中难以自适应调节频率的问题。

[0011] 为实现上述目的及其他相关目的,本发明提供一种自适应频率调节电路,应用于一电路系统中,所述自适应频率调节电路包括:环形振荡器,输出可变频率;镜像延迟线,镜像所述电路系统中同一电源域的延迟性最差的线路;时序比较器,分别与所述环形振荡器和所述镜像延迟线相连,用于比较所述环形振荡器的输出时序和所述镜像延迟线的输出时序是否相同,并将比较结果反馈至所述环形振荡器,以供所述环形振荡器调节频率,直至所述环形振荡器的输出时序和所述镜像延迟线的输出时序相同。

[0012] 于本发明的一实施例中,在所述环形振荡器的输出时序和所述镜像延迟线的输出时序相同时,将所述环形振荡器产生的时钟作为所述电路系统的工作时钟。

[0013] 于本发明的一实施例中,所述环形振荡器包括:可变延迟线和两端分别与所述可变延迟线的输出端和输入端相连的反相器。

[0014] 于本发明的一实施例中,所述可变延迟线包括延迟线和调节所述延迟线长度的开关。

[0015] 于本发明的一实施例中,所述环形振荡器和所述时序比较器之间连接有一计数器,用于在所述环形振荡器的输出时序和所述镜像延迟线的输出时序不相同对所述时序比较器的输出脉冲进行计数;所述环形振荡器根据所述计数器的计数结果改变所述可变延迟线的长度。

[0016] 本发明的实施例还提供一种自适应频率调节方法,包括:所述自适应频率调节方法包括:通过一环形振荡器输出可变频率;通过一镜像延迟线镜像电路系统中同一电源域的延迟性最差的线路;通过一时序比较器比较所述环形振荡器的输出时序和所述镜像延迟线的输出时序是否相同,并将比较结果反馈至所述环形振荡器,以供所述环形振荡器调节频率,直至所述环形振荡器的输出时序和所述镜像延迟线的输出时序相同。

[0017] 于本发明的一实施例中,在所述环形振荡器的输出时序和所述镜像延迟线的输出时序相同时,将所述环形振荡器产生的时钟作为所述电路系统的工作时钟。

[0018] 于本发明的一实施例中,所述环形振荡器包括:可变延迟线和两端分别与所述可变延迟线的输出端和输入端相连的反相器。

[0019] 于本发明的一实施例中,所述可变延迟线包括延迟线和调节所述延迟线长度的开关。

[0020] 于本发明的一实施例中,所述环形振荡器和所述时序比较器之间连接有一计数器,用于在所述环形振荡器的输出时序和所述镜像延迟线的输出时序不相同对所述时序比较器的输出脉冲进行计数;所述环形振荡器根据所述计数器的计数结果改变所述可变延迟线的长度。

[0021] 本发明的实施例还提供一种电路系统,包括如上所述的自适应频率调节电路。

[0022] 于本发明的一实施例中,所述电路系统包括ASIC或SOC。

[0023] 于本发明的一实施例中,所述电路系统的初始时钟采用由晶振产生并经由锁相环输出的时钟。

[0024] 于本发明的一实施例中,所述电路系统包括时钟切换电路,用于在在所述环形振荡器的输出时序和所述镜像延迟线的输出时序相同时,将所述环形振荡器产生的时钟作为所述电路系统的工作时钟。

[0025] 如上所述,本发明的自适应频率调节方法、电路以及电路系统,具有以下有益效果:

[0026] 本发明可以实现工作频率、工艺、电压、温度的自适应,通过本发明的技术方案,芯片的一致性、稳定性、性能均可得到提升。

#### 附图说明

[0027] 图1显示为现有技术中频率调节的流程示意图。

[0028] 图2显示为本发明的自适应频率调节方法的频率调节的流程示意图。

[0029] 图3显示为本发明的自适应频率调节方法于一实施例中的流程示意图。

[0030] 图4显示为本发明的自适应频率调节电路于一实施例中的原理示意图。

[0031] 元件标号说明

[0032] 100 自适应频率调节电路

[0033] 110 环形振荡器

[0034] 120 镜像延迟线

[0035] 130 时序比较器

[0036] 140 计数器

[0037] 200 时钟切换电路

[0038] S110~S130 步骤

#### 具体实施方式

[0039] 以下通过特定的具体实例说明本发明的实施方式,本领域技术人员可由本说明书所揭露的内容轻易地了解本发明的其他优点与功效。本发明还可以通过另外不同的具体实施方式加以实施或应用,本说明书中的各项细节也可以基于不同观点与应用,在没有背离本发明的精神下进行各种修饰或改变。需说明的是,在不冲突的情况下,以下实施例及实施例中的特征可以相互组合。

[0040] 请参阅图1至图4,需要说明的是,以下实施例中所提供的图示仅以示意方式说明本发明的基本构想,遂图式中仅显示与本发明中有关的组件而非按照实际实施时的组件数目、形状及尺寸绘制,其实际实施时各组件的型态、数量及比例可为一种随意的改变,且其组件布局型态也可能更为复杂。

[0041] 现有技术中频率调节的流程如图1所示,ASIC/SOC上电后,从频率电压表查找目标频率对应的工作电压,制定频率电压表需要通过大量芯片的测试和筛选,要照顾到整个被测批次芯片工艺、电压方面的偏差。然后设定目标电压,延时,等待电源稳定,最后使得实际频率=设定值。

[0042] 本实施例的目的在于提供一种自适应频率调节方法、电路以及电路系统,用于解决现有技术中难以自适应调节频率的问题。

[0043] 本实施例提供的自适应频率调节方法、电路以及电路系统的原理流程如图2所示。ASIC/SOC上电后,测试关键路径延迟,每颗芯片可以得到各自对应的延时数据,与其它芯片无关。按测试结果调节环形振荡器的频率,工作时钟切换到环形振荡器,结束,完成自适应频率调节。

[0044] 本实施例提供的自适应频率调节方法、电路以及电路系统使得工作频率随着电压、工艺、温度的变化而变化,实现自适应的频率调节,使得ASIC/SOC的工作时钟频率自动调整到与工艺、电压、温度相适应频率。实际工作频率的读取可以用精确的晶体时钟产生精确的时间闸,作为工作时钟的计数时间,通过计算得到实际工作时钟的平均频率。

[0045] 以下将详细阐述本发明的自适应频率调节方法、电路以及电路系统的原理及实施方式,使本领域技术人员不需要创造性劳动即可理解本发明的自适应频率调节方法、电路以及电路系统。

[0046] 具体地,如图3所示,本发明提供一种自适应频率调节方法,所述自适应频率调节方法包括以下步骤:

[0047] 步骤S110,通过一环形振荡器输出可变频率。

[0048] 具体地,于本实施例中,所述环形振荡器包括:可变延迟线和两端分别与所述可变延迟线的输出端和输入端相连的反相器。

[0049] 其中,所述可变延迟线包括延迟线和调节所述延迟线长度的开关。

[0050] 即可变延迟线可以通过开关改变长度,从而改变延迟时间,并通过一个反向器回环至该延迟线的输入,构成一个可变频率的环形振荡器。

[0051] 步骤S120,通过一镜像延迟线镜像电路系统中同一电源域的延迟性最差的线路。即镜像延迟线是对同一电源域的ASIC/SOC中的最糟糕延迟的路径的复制。因为镜像延迟线是ASIC/SOC中的最糟糕时延路径的复制,所以镜像延迟线可以在最大程度上表征电压、工艺、温度对电路系统(ASIC/SOC)中的最糟糕时延路径的影响。

[0052] 步骤S130,通过一时序比较器比较所述环形振荡器的输出时序和所述镜像延迟线的输出时序是否相同,并将比较结果反馈至所述环形振荡器,以供所述环形振荡器调节频率,直至所述环形振荡器的输出时序和所述镜像延迟线的输出时序相同。

[0053] 所述环形振荡器的输出作为时序比较器的驱动时钟,所述时序比较器用于比较有经过镜像延迟线与没有经过延迟线的时序输出结果。若比较结果一致,说明镜像延迟线的时延不会造成时序逻辑错误,其对应的ASIC/SOC中的最糟糕延迟路径满足时序要求;反之,说明SIC/SOC中的最糟糕时延会造成时序逻辑错误,并在当前时钟的下降沿输出错误脉冲。

[0054] 于本实施例中,在所述环形振荡器的输出时序和所述镜像延迟线的输出时序相同时,将所述环形振荡器产生的时钟作为所述电路系统的工作时钟。

[0055] 于本实施例中,所述环形振荡器和所述时序比较器之间连接有一计数器,用于在所述环形振荡器的输出时序和所述镜像延迟线的输出时序不相同对所述时序比较器的输出脉冲进行计数;所述环形振荡器根据所述计数器的计数结果改变所述可变延迟线的长度。

[0056] 所述计数器对所述时序比较器的错误脉冲做加法计数,并将计数结果用于改变可变延迟线的长度,计数值增大对应延迟线长度增加,以此降低环形振荡器的频率。这是一个闭环反馈过程,只有当环形振荡器的频率降低到时序比较器中比较结果一致时,时序比较器才会停止产生错误脉冲,计数器才会停止计数,延迟线的长度值才会确定下来。

[0057] 本发明的实施例还提供一种自适应频率调节电路100,应用于一电路系统中,如图4所示,所述自适应频率调节电路100包括:环形振荡器110,镜像延迟线120,时序比较器130和计数器140。

[0058] 以下对本实施例中的自适应频率调节电路100进行详细说明。

[0059] 于本实施例中,所述环形振荡器110输出可变频率。

[0060] 具体地,于本实施例中,所述环形振荡器110包括:可变延迟线和两端分别与所述可变延迟线的输出端和输入端相连的反相器。其中,所述可变延迟线包括延迟线和调节所述延迟线长度的开关。

[0061] 即可变延迟线可以通过开关改变长度,从而改变延迟时间,并通过一个反向器回环至该延迟线的输入,构成一个可变频率的环形振荡器110。

[0062] 于本实施例中,所述镜像延迟线120镜像所述电路系统(ASIC/SOC)中同一电源域的延迟性最差的线路;即镜像延迟线120是对同一电源域的ASIC/SOC中的最糟糕延迟的路径的复制。因为镜像延迟线120是ASIC/SOC中的最糟糕时延路径的复制,所以镜像延迟线120可以在最大程度上表征电压、工艺、温度对电路系统(ASIC/SOC)中的最糟糕时延路径的影响。

[0063] 于本实施例中,所述时序比较器130分别与所述环形振荡器110和所述镜像延迟线120相连,用于比较所述环形振荡器110的输出时序和所述镜像延迟线120的输出时序是否相同,并将比较结果反馈至所述环形振荡器110,以供所述环形振荡器110调节频率,直至所述环形振荡器110的输出时序和所述镜像延迟线120的输出时序相同。

[0064] 所述环形振荡器110的输出作为时序比较器130的驱动时钟,所述时序比较器130用于比较有经过镜像延迟线120与没有经过延迟线的时序输出结果。若比较结果一致,说明镜像延迟线120的时延不会造成时序逻辑错误,其对应的ASIC/SOC中的最糟糕延迟路径满足时序要求;反之,说明SIC/SOC中的最糟糕时延会造成时序逻辑错误,并在当前时钟的下降沿输出错误脉冲。

[0065] 于本实施例中,在所述环形振荡器110的输出时序和所述镜像延迟线120的输出时序相同时,将所述环形振荡器110产生的时钟作为所述电路系统的工作时钟。

[0066] 于本实施例中,所述计数器140连接于所述环形振荡器110和所述时序比较器130之间,用于在所述环形振荡器110的输出时序和所述镜像延迟线120的输出时序不相同时对所述时序比较器130的输出脉冲进行计数;所述环形振荡器110根据所述计数器140的计数结果改变所述可变延迟线的长度。

[0067] 所述计数器140对所述时序比较器130的错误脉冲做加法计数,并将计数结果用于改变可变延迟线的长度,计数值增大对应延迟线长度增加,以此降低环形振荡器110的频率。这是一个闭环反馈过程,只有当环形振荡器110的频率降低到时序比较器130中比较结果一致时,时序比较器130才会停止产生错误脉冲,计数器140才会停止计数,延迟线的长度值才会确定下来。

[0068] 时序比较器130不再产生错误脉冲之后,电路系统(ASIC/SOC)的工作时钟可以切换到自适应时钟电路产生的时钟。因为镜像延迟线120是ASIC/SOC中的最糟糕时延路径的复制,所以镜像延迟线120可以在最大程度上表征电压、工艺、温度对ASIC/SOC中的最糟糕时延路径的影响。由于前面介绍的闭环反馈过程,使得可变延迟线所在的环形振荡器110产生的时钟频率已经使得镜像延迟线120不再产生时序错误,所以自适应时钟电路产生的时钟也就能满足ASIC/SOC中的最糟糕时延路径的时序要求。由于自适应频率调节电路100与ASIC/SOC在同一个电源域以及在芯片上的位置相邻,所以电压、工艺、温度的差异都很小,



所以当ASIC/SOC的电压、工艺、温度发生变化时自适应时钟电路产生的时钟频率也会发生相应的变化,且始终都能满足镜像延迟线120的时序约束,使得时序比较器130不产生时序错误脉冲——即ASIC/SOC中的最糟糕时延路径不发生时序错误。

[0069] 在电源模块、PLL (PhaseLockedLoop, 锁相环) 的响应速度不足以满足电路系统性能需求的情况下,本实施例的自适应频率调节电路100自动迅速的调整工作频率以适应电源电压、芯片工艺、芯片温度的变化,可以在很大程度降低产品测试和应用的难度,同时也提高了产品的一致性。

[0070] 本实施例的自适应频率调节电路100与现有技术的技术方案具有以上提到的本质差别,同时具备前面提到的技术方案的所有优点。本实施例的自适应频率调节电路100中自适应频率调整完全是自动实现的,不需要软件参与设置,所以调整速度最快,可以很好的跟随电压变化并达到单个时钟级别的响应速度——即纳秒甚至是皮秒级别的响应时间。

[0071] 本发明的实施例还提供一种电路系统,包括如上所述的自适应频率调节电路100。

[0072] 于本实施例中,所述电路系统包括但不限于ASIC或SOC。

[0073] 于本实施例中,所述电路系统的初始时钟采用由晶振产生并经由锁相环输出的时钟。

[0074] 于本实施例中,所述电路系统包括时钟切换电路200,用于在在所述环形振荡器110的输出时序和所述镜像延迟线120的输出时序相同时,将所述环形振荡器110产生的时钟作为所述电路系统的工作时钟。

[0075] 所述电路系统初始状态下工作时钟由时钟切换电路200选择为精确时钟,该精确时钟由晶振产生并经由PLL (锁相环) 输出的时钟,有较高的时钟精度和稳定性,这可作为ASIC/SOC的初始时钟。

[0076] ASIC/SOC中的芯片只需要在上电复位之后,工作时钟先默认切换到“精确时钟”,并启动自适应频率调节电路100,待自适应频率调节电路100中的时序比较器130不再产生计数脉冲之后,将工作时钟切换到自适应频率调节电路100中的产生的时钟,这样即完成了自适应频率调整的设置。由于自适应频率调节电路100与ASIC/SOC在同一个电源域以及在芯片上的位置相邻,所以电压、工艺、温度的差异都很小,所以当ASIC/SOC的电压、工艺、温度发生变化时自适应时钟电路产生的时钟频率也会发生相应的变化,且始终都能满足镜像延迟线120的时序约束,使得时序比较器130不产生时序错误脉冲——即ASIC/SOC中的最糟糕时延路径不发生时序错误。

[0077] 综上所述,本发明可以实现工作频率、工艺、电压、温度的自适应,通过本发明的技术方案,芯片的一致性、稳定性、性能均可得到提升。所以,本发明有效克服了现有技术中的种种缺点而具高度产业利用价值。

[0078] 上述实施例仅例示性说明本发明的原理及其功效,而非用于限制本发明。任何熟悉此技术的人士皆可在不违背本发明的精神及范畴下,对上述实施例进行修饰或改变。因此,举凡所属技术领域中具有通常知识者在未脱离本发明所揭示的精神与技术思想下所完成的一切等效修饰或改变,仍应由本发明的权利要求所涵盖。

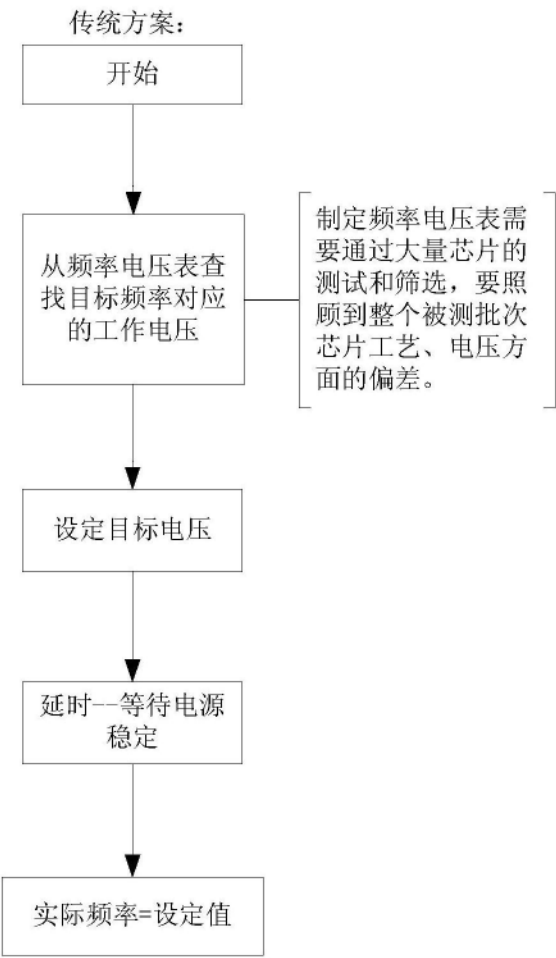


图1

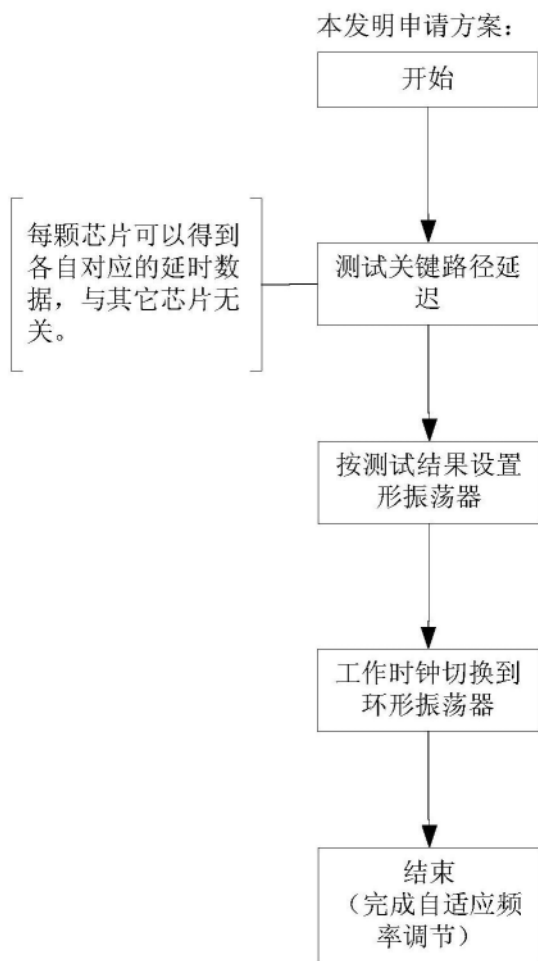


图2

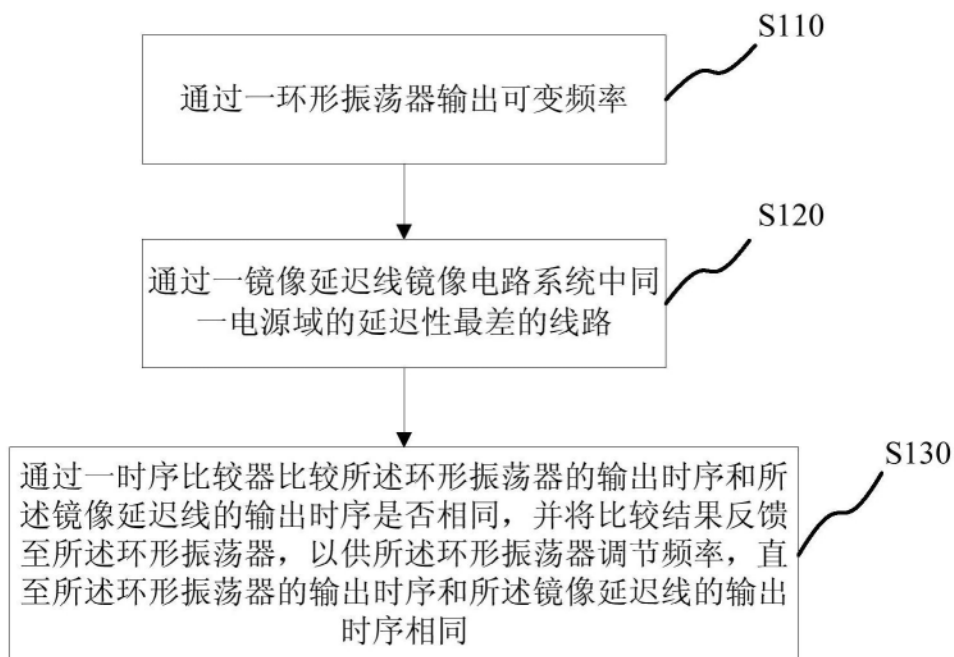


图3

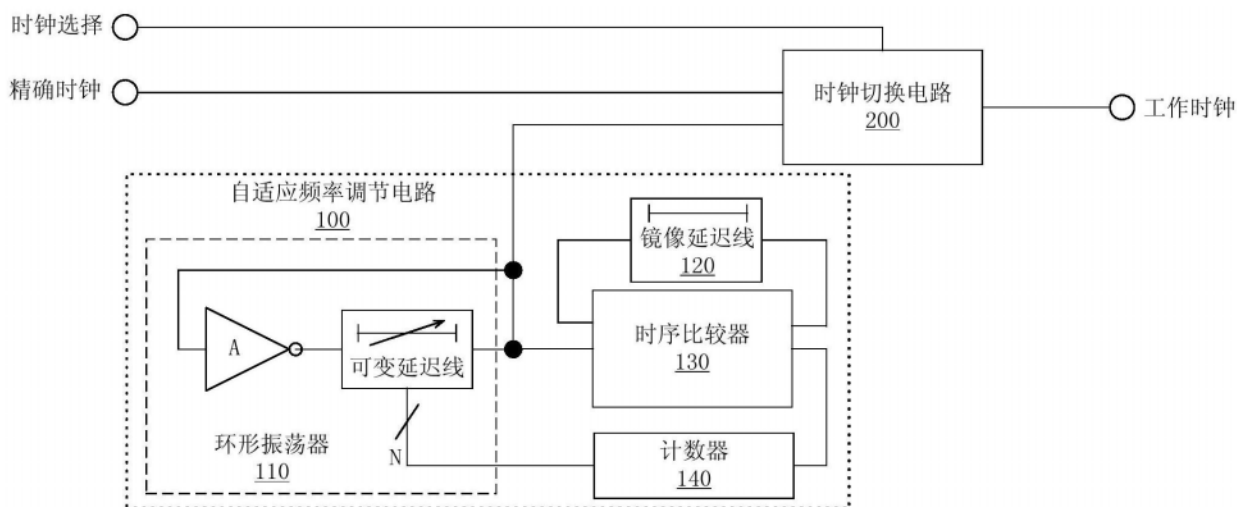


图4